

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2005 EPO. All rts. reserv.

11395245

Basic Patent (No,Kind,Date): JP 5235351 A2 930910 <No. of Patents: 001>

THIN-FILM TRANSISTOR (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): KITAJIMA HIROSHI

IPC: *H01L-029/784;

CA Abstract No: 120(12)151358V

Derwent WPI Acc No: C 93-324370

JAPIO Reference No: 170687E0000133

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applie No	Kind	Date
JP 5235351	A2	930910	JP 9272834	A	920224 (BASIC)

Priority Data (No,Kind,Date):

JP 9272834 A 920224

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

04243651 **Image available**

THIN-FILM TRANSISTOR

PUB. NO.: **05-235351 [JP 5235351 A]**

PUBLISHED: September 10, 1993 (19930910)

INVENTOR(s): KITAJIMA HIROSHI

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: **04-072834 [JP 9272834]**

FILED: February 24, 1992 (19920224)

INTL CLASS: [5] H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors,
MOS)

JOURNAL: Section: E, Section No. 1478, Vol. 17, No. 687, Pg. 133,
December 16, 1993 (19931216)

ABSTRACT

PURPOSE: To reduce the lagging current of a transistor to improve its on/off ratio by providing upper and lower electrodes of different conductivity types.

CONSTITUTION: A thin-film transistor comprises a silicon substrate 101 on which are formed an oxide film 102, a lower gate electrode 103 composed of a heavily-doped n-type polysilicon film, a lower gate insulator 104, and a thin polysilicon 105 for the channel of the thin-film transistor. On the polysilicon 105 are formed an upper insulator 106 and an upper gate electrode 107 composed of a heavily-doped p-type polysilicon. The upper gate electrode 107 is longer than the lower gate electrode 103. The upper gate electrode is used as a mask to implant boron ions so that a source region 108 and a drain region 109 may be self-aligned. Conventional process steps are then carried out, such as depositing an intermediate

layer 110, opening contact holes 111, depositing wiring metal 112, and patterning the wiring.

?

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-235351

(43)公開日 平成5年(1993)9月10日

(51) Int.Cl.⁵
H01L 29/784

識別記号

F I

9056-4M

H01L 29/78

311 G

審査請求 未請求 請求項の数1 (全4頁)

(21)出願番号 特願平4-72834

(71)出願人 000004237

(22)出願日 平成4年(1992)2月24日

日本電気株式会社

東京都港区芝五丁目7番1号

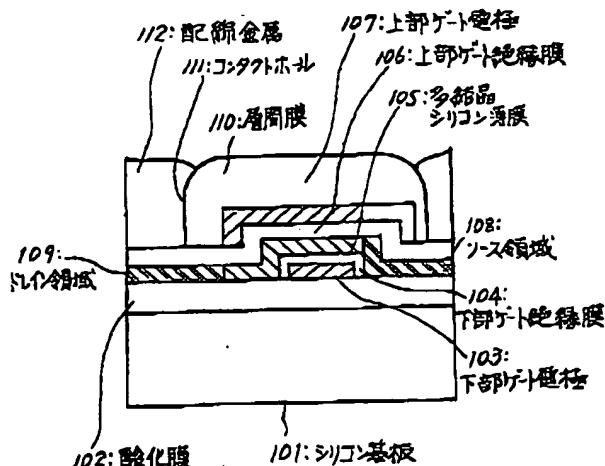
(72)発明者 北島 洋
東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 菅野 中

(54)【発明の名称】薄膜トランジスタ

(57)【要約】

【目的】 薄膜トランジスタの漏れ電流を減少させる。
 【構成】 チャネルを形成する多結晶シリコン膜105の上部に設けられた上部ゲート電極107と、下部に設けられたゲート電極103との伝導型を異ならせ、ゲート電圧が高いところでのオン電流を減少させることなしに、ゲート電圧0V付近でドレイン端に加わる電界を緩和し、オフ電流を大幅に減少させる。



【特許請求の範囲】

【請求項1】 チャネルを形成する多結晶シリコン膜の上下にゲート電極を有する二重ゲート型薄膜トランジスタであって、上部のゲート電極と、下部のゲート電極とは伝導型が異なるものであることを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、主として高密度集積回路に組込まれる薄膜トランジスタの構造に関するものである。

【0002】

【従来の技術】 従来の多結晶シリコンをチャネルとする二重ゲート型薄膜トランジスタの構造を図3に示す。図において、シリコン基板301上に酸化膜302が形成され、その上に不純物を高濃度にドープした多結晶シリコン膜よりなる下部ゲート電極303が形成されている。

【0003】 また、その上には、化学気相成長法により堆積した下部ゲート絶縁膜304、更にその上には、活性層となる多結晶シリコン薄膜305が形成されている。多結晶シリコン薄膜305の上には、化学気相成長法により堆積した上部ゲート絶縁膜306、更に不純物を高濃度にドープした多結晶シリコン膜によりなる上部ゲート絶縁電極307が形成されている。

【0004】 ゲート電極の外側にはソース領域308及びドレイン領域309が形成され、その上に積層された、層間膜310には、コンタクトホール311が開孔され、配線金属312の堆積と、そのパターニングを行うことによって従来構造の薄膜トランジスタが形成される。従来、上部電極と下部電極との伝導型を同一としてオン電流の増大を図っていた。

【0005】

【発明が解決しようとする課題】 しかしながら、このような従来の二重ゲート電極構造は、オン電流の増加に対しては有効であったが、オフ電流の低減に対しては電界の増加をもたらすという問題があった。

【0006】 本発明の目的は、漏れ電流を減少させ、オン/オフ比を改善した薄膜トランジスタを提供することにある。

【0007】

【課題を解決するための手段】 上記目的を達成するため、本発明による薄膜トランジスタにおいては、チャネルを形成する多結晶シリコン膜の上下にゲート電極を有する二重ゲート型薄膜トランジスタであって、上部のゲート電極と、下部のゲート電極とは伝導型が異なるものである。

【0008】

【作用】 上下のゲート電極の伝導型を変えることによって、ゲート電圧が高いところでのオン電流を減少させる

ことなしに、ゲート電圧0V付近でドレイン端に加わる電界を緩和し、オフ電流は大幅に減少する。

【0009】

【実施例】 次に、本発明を実施例を用いて説明する。図1は、本発明の第1の実施例を説明するための縦断面図である。図において、シリコン基板101上には、酸化膜102、N型不純物を高濃度にドープした多結晶シリコン膜よりなる下部ゲート電極103、化学気相成長法によりシリコン酸化膜を堆積することによって形成した下部ゲート絶縁膜104、薄膜トランジスタのチャンネルが形成される多結晶シリコン薄膜105が順に形成されている。

【0010】 その上には、化学気相成長法によりシリコン酸化膜を堆積することによって形成した上部ゲート絶縁膜106、更にP型不純物を高濃度にドープした多結晶シリコン膜よりなる上部ゲート電極107を形成する。上部ゲート電極107は、下部ゲート電極103より長くし、ソース領域108及びドレイン領域109の形成は、上部ゲート電極をマスクとしたポロニイオン注入によって自己整合的に形成される。

【0011】 さらに、層間膜110の堆積、コンタクトホール111の開孔、配線金属112の堆積とそのパターニングは、従来構造と同様に行う。上部ゲート絶縁膜106の厚さを下部ゲート絶縁膜104より厚くし、上部ゲート電極を補助電極とすることで、ゲート電極0V付近でトランジスタがオンぎみになるのを防ぐことができる。

【0012】 例えば、下部ゲート絶縁膜104の厚さを200Å、上部ゲート絶縁膜106の厚さを500Åとすることで、上部ゲート電極による電流の立ち上がりと、下部ゲート電極による電流の立ち上がりとをほぼ同じにすることができる。

【0013】 この実施例の構造では、主ゲート電極である下部ゲート電極103のドレイン端には、オフセット(P(プラス)領域と主ゲート電極の間にポロンが注入されない領域)が形成されている。このオフセット部分は、ゲート電圧0Vでは上部ゲートによる電界が加わるため、N(プラス)ゲートが上部にある場合に較べて電界が緩和され、オフ電流を低減させる効果をもつ。また、例えばゲート電圧-3.3Vではチャンネル領域を含め、N(プラス)ゲートが上部にある場合に較べてオン電流をより増加させるようにP(プラス)ゲート電極の電圧が働く。

【0014】 ゲート長さ0.8μmの薄膜トランジスタに対し、上下のゲート電極をN型にして、上下のゲート絶縁膜をともに200Åとした場合に較べると、図1で説明した構造(下部ゲート長さ0.6μm、上部ゲート長さ0.8μm)では、オン電流が1/2になったものの、漏れ電流が2倍近く改善された。また、ゲート長さ0.6μmの薄膜トランジスタに対して、上下のゲート

(3)

3

電極をN型にして、ドレン端にLDD構造を設けた場合に較べると、オン電流は適程度、オフ電流で1桁程度改善された。本実施例はP型薄膜トランジスタの例であるが、P型伝導領域とN型伝導領域とを入れ換えるれば、N型薄膜トランジスタでも同様の効果が得られる。

【0015】図2は、本発明の第2の実施例を説明するための縦断面図である。シリコン基板201上に酸化膜202が形成され、その上にN型不純物を高濃度にドープした多結晶シリコン膜よりなる下部ゲート電極203とソース領域204とドレン領域205の不純物拡散源となるP型不純物を高濃度にドープした多結晶シリコン膜領域206が形成されている。

【0016】その上には、下部ゲート絶縁膜207、さらに薄膜トランジスタのチャンネルを形成する多結晶シリコン膜208を形成し、その上に、上部ゲート絶縁膜209、さらにP型不純物を高濃度にドープした多結晶シリコン膜よりなる上部ゲート電極210を形成する。

【0017】さらにその上には、層間膜211を設け、コンタクトホール212を開孔し、配線金属213の堆積とそのパターニングを行う。既に述べたように、ソース／ドレン領域は、P型不純物を高濃度にドープした多結晶シリコン膜領域206からの拡散で形成する。下部ゲート電極203と多結晶シリコン膜領域206間のスペース領域214を0.3μmとし、その領域は、実施例1におけるドレンオフセットと同じ働きをする。本実施例では、上部ゲート電極210がそのスペース領域214を被覆することで実施例1と同様にオフ電流の

(4)

特開平5-235351

4

低減とオン電流の増加に効果がある。

【0018】

【発明の効果】以上述べたように本発明によれば、二重ゲート電極構造の薄膜MOSFETにおいて、上部ゲート電極と下部ゲート電極の伝導型を変えることによって、微細な薄膜トランジスタのオン／オフ比を1桁以上改善できる効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示した断面図である。

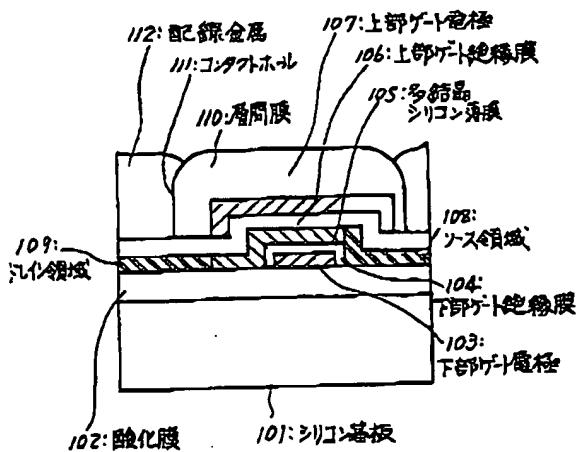
【図2】本発明の第2の実施例を示した断面図である。

【図3】従来の二重ゲート型薄膜トランジスタを示した断面図である。

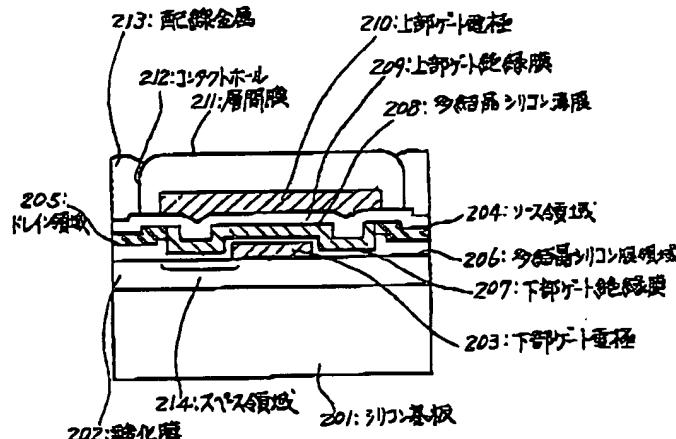
【符号の説明】

101, 201	シリコン基板
102, 202	酸化膜
103, 203	下部ゲート電極
104, 207	下部ゲート絶縁膜
105, 208	多結晶シリコン膜
106, 209	上部ゲート絶縁膜
107, 210	上部ゲート電極
108, 204	ソース領域
109, 205	ドレン領域
110, 211	層間膜
111, 212	コンタクトホール
112, 213	配線金属
206	多結晶シリコン膜領域
214	スペース領域

【図1】



【図2】



【図 3】

